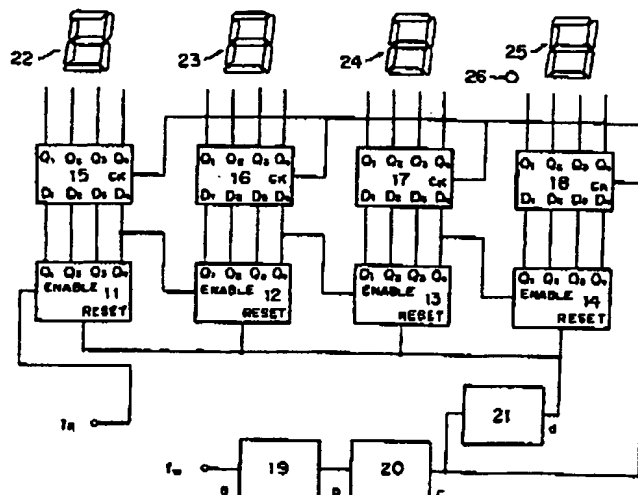


UTILITY MODEL ABSTRACT OF JAPAN: **DISPLAY CIRCUIT**Publication number: **60-93967**Date of publication: **26. 06. 1985**Application number: **58-184558**Applicant: **PIONEER CORP.**Date of filing: **01. 12. 1983**Inventor: **KAZUHIRO HAYASHI**

PURPOSE: To independently design a pitch conversion circuit and a pitch display circuit, a pitch can be displayed only by supplying a write pulse and a read pulse to the pitch display circuit.

CONSTITUTION: A write pulse f_w is supplied to a divider 19 and a read pulse f_R is supplied to BCD counters 11~14. The write pulse f_w is divided by the divider 19 and a latch pulse is output from a pulse generation circuit 20 at a predetermined cycle of the divider 19. The latch pulse is supplied to latch circuits 15~18. The BCD counters 11~14 respectively count a number of the read pulse f_R in the predetermined cycle. The counted number of the BCD counters 11~14 is respectively latched by the latch circuits 15~18 in response to the latch pulse. A delay circuit 21 outputs a reset pulse to the BCD counters 11~14 by delaying the latch pulse. The BCD counters 11~14 respectively reset its counted number in response to the reset pulse. Numeral display elements 22~25 respectively display the counted number latched by the latch circuit 15~18. Briefly, a ratio of the read pulse f_R to the write pulse f_w is displayed as a pitch of the pitch conversion circuit.



BEST AVAILABLE COPY

公開実用 昭和60— 93967

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭60-93967

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)6月26日

G 01 R 23/10
G 10 G 1/00

7359-2G
6912-5D

審査請求 未請求 (全 頁)

⑮ 考案の名称 表示回路

⑯ 実 願 昭58-184558

⑰ 出 願 昭58(1983)12月1日

⑱ 考 案 者 林 一 博 東京都大田区大森西4丁目15番5号 バイオニア株式会社
大森工場内

⑲ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号

⑳ 代 理 人 弁理士 滝野 秀雄

明 細 書

1. 考案の名称

表示回路

2. 実用新案登録請求の範囲

第1および第2のクロック信号の周波数比を表示する表示回路であって、第1のクロック信号の周波数を分周する分周器と、分周器の出力パルスの1周期間における第2のクロック信号のパルス数を計数するカウンタと、カウンタの出力を表示する表示手段とを備えてなることを特徴とする表示回路。

3. 考案の詳細な説明

本考案は書き込みクロックと読み出しクロックとの比を変えることにより音程を変化するピッチ変換回路のピッチ等を表示する表示回路に関する。

従来、この種の装置としては第1図(a)、(b)に示す如きものがあった。

第1図(a)、(b)において、1はピッチ指示信号を出力するピッチ指示スイッチ、2はピッチ指示信号の供給を受けて音程を変化させる音程変換処理

回路、3はピッチ表示回路である。

第1図(a)の場合は、ピッチ指示スイッチ1によって必要とする音程変化指示信号を供給すると、音程変換処理回路2は指示された音程変化とすべく内部状態を設定し、同時にその音程変化に対応したピッチ表示信号をピッチ表示回路3に供給し、ピッチ表示回路3はピッチの表示をする。また、第1図(b)の場合はピッチ指示スイッチ1による音程変化指示信号は音程変換処理回路2とピッチ表示回路3に並列的に出力し、音程変換処理回路2により音程変化をさせるとともに、ピッチ表示回路3によりピッチの表示を行なっている。

しかるに、第1図(a)に示す従来の場合にはピッチ指示スイッチ1および音程変換処理回路2とピッチ表示回路3が密接に結合されており、ピッチ表示回路3において汎用性がなく、複雑なものとなる欠点があった。

また第1図(b)に示した従来の場合にはピッチ表示回路3とピッチ指示スイッチ1とが1対1に対応するので回路構成は簡単になるが、高い分解能



の表示は困難であるという欠点があった。

本考案は上記の欠点にかんがみなされたもので、上記の欠点を解消した表示回路を提供することを目的とする。

以下、本考案を実施例について説明する。

第2図は本考案の一実施例を示す回路図である。

11～14はBCDカウンタであり、BCDカウンタ11～14で4桁のカウンタが構成してある。

BCDカウンタ11～14の出力はそれぞれラッチ回路15～18に供給しており、ラッチ回路15～18の出力はBCD-7セグメントデコーダを介してそれぞれ7セグメントの数字表示素子22～25に供給してある。16は小数点表示素子であり、使用時は常時点灯させてある。

一方、19はたとえばBCDカウンタ等で構成した $1/10^n$ 分周器であり、分周器19の出力はパルス発生回路20に供給してある。パルス発生回路20は分周器19の出力の周期毎にクロックパルスを発生するように構成してある。

パルス発生回路20の出力パルスはラッチパルスとしてラッチ回路15～18に供給してある。パルス発生回路20の出力は遅延回路21を介してBCDカウンタ11～15にリセットパルスとして供給してある。遅延回路21の遅延時間は微小時間に設定してある。

f_w は書き込みパルスの周波数であり、分周器19に供給し、 f_R は読み出しパルスの周波数であり、BCDカウンタ11～14からなるカウンタに被計数パルスとして供給してある。また図示しないピッチ変換回路のピッチは書き込みパルスの周波数 f_w と読み出しパルスの周波数 f_R との比 $p = f_R / f_w$ で定まる。

仮に $p = 2.0$ のときはピッチ変換回路に入力された音声は2倍の周波数（1オクターブ高い周波数）になって出力される。

いま書き込みパルス f_w は第3図(a)に示す如くであるとする。書き込みパルス f_w は分周器19で分周され、分周器19の出力周波数 f は分周器19の分周比を $1/10^3$ とすると $f = f_w / 1$

0³ となり、第3図(ハ)に示す如くとなる。第3図(ハ)に示す分周器19の出力はパルス発生回路20に供給され、パルス発生回路20から第3図(ニ)に示す如く、ラッチパルスが出力される。第3図(ニ)に示したラッチパルスは遅延回路21で遅延されて、遅延回路21から第3図(ヘ)に示したリセットパルスが出力され、BCDカウンタ11~14はリセットされる。

そこで、BCDカウンタ11~14では上記周波数fの1周期の区間で読み出しパルスf_Rのパルス数をカウントすることになる。

そこでBCDカウンタ11~14でカウントされるパルス数Nは

$$N = \frac{1/f}{1/f_R} = \frac{10^3/f_W}{1/f_R} = f_R/f_W \times 10^3$$

となり、ピッチの1000倍の数値となる。

ここで、リセットされる直前にラッチパルスが出力されて、BCDカウンタ11~14で計数された計数値(N)はラッチ回路15~18にそれ



ぞれラッチされる。ここで前記の如く N は $f_R / f_W \times 10^3$ のため小数点 2 6 を常時点灯して表示は f_R / f_W として表示される。表示 f_R / f_W は P であり、7 セグメントの数字表示器 2 2 ~ 2 5 によりピッチが表示されることになる。

なお、以上説明した本考案の一実施例においては、小数点以下、3 桁の場合を説明したが、桁数を増加することも、減少することも可能であって、一般的に小数点以下の桁数を n 桁にする場合は分周器 1 9 の分周比を $1 / 10^n$ にすればよい。

以上説明した如く本考案によれば、ピッチ表示回路に書き込みクロックと読み出しクロックとの 2 つの情報信号を供給するのみでピッチを表示することができるので、ピッチ変換回路とピッチ表示回路とを独立に設計でき、かつピッチ素子回路の構成も簡単である。

また、微妙なピッチ設定も、この表示により高再現性で確実に表示することができる。

また、書き込みクロックと読み出しクロックの何れか一方、または両方を変えることによって音

程変化の割合であるピッチを得るピッチ変換回路
全てに有効であって、たとえばBBD素子を用い
たピッチ変換回路にも用いることができる。

4. 図面の簡単な説明

第1図(a), (b)は従来のピッチ表示回路の説明に
供するブロック図、第2図は本考案の一実施例の
構成を示すブロック図、第3図(a)~(d)は本考案の
一実施例の作用の説明に供するタイミング図であ
る。

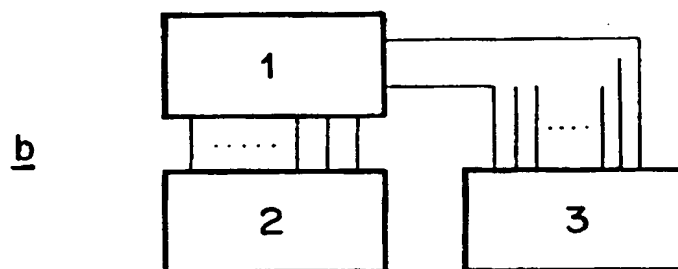
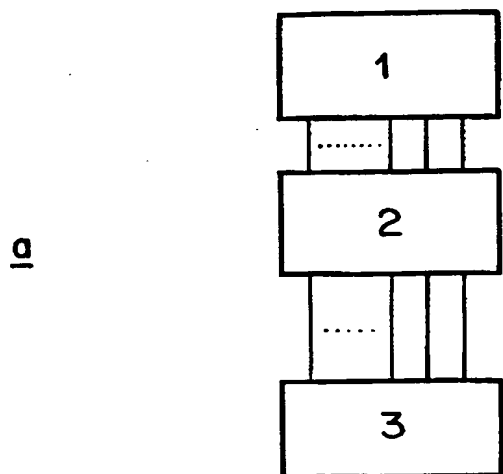
11~14.....BCDカウンタ、15~18...
...ラッチ回路、19.....分周器、20.....パルス
発生回路、21.....遅延回路、22~25.....数
字表示素子。

実用新案登録出願人 バイオニア株式会社

代 理 人 瀧 野 秀 雄



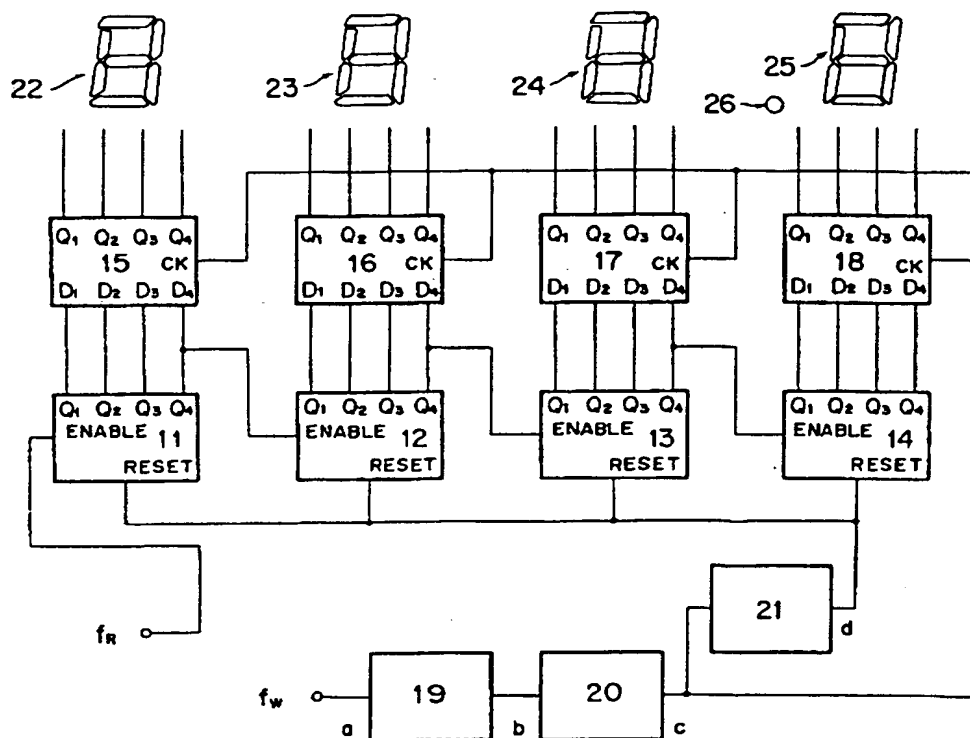
第 1 図



790

実用新案登録出願人 パイオニア株式会社
代理人 瀧野 秀雄

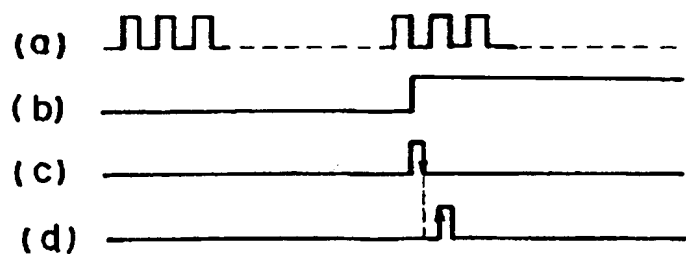
第 2 図



791

実用新案登録出願人 バイオニア株式会社
代理人 瀧 野 秀 雄

第 3 図



792

実用新案登録出願人 パイオニア株式会社
代 理 人 瀧 野 秀 雄

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.